

Patent number: JP1068724
Publication date: 1989-03-14
Inventor: MATSUEDA YOJIRO
Applicant: SEIKO EPSON CORP
Classification:
- international: G02F1/133; G09F9/30; H01L21/82; H01L29/78
- european: G02F1/1362M
Application number: JP19870225710 19870909
Priority number(s): JP19870225710 19870909

Report a data error here

Abstract of JP1068724

PURPOSE: To correct a line defect and a point defect by providing a specific number of signal lines and a specific number of picture elements TFT and giving redundancy to both of them.

CONSTITUTION: The active matrix panel consists of 2M signal lines X1, X2-X2M, N scanning lines Y1-YN, MXN element electrodes, two picture element thin film transistors (TFT) 6 and 7 whose drain electrodes are connected to one of the picture element electrodes in common, switches TFT9-TFT11 provided to input parts and terminals of the signal lines, and bus lines L1-L3 which turn on and off the switch TFTs. Thus, the signal lines and picture elements TFT6 and TFT7 have redundancy, so a line defect and a point defect can be corrected and the TFT switches 9-11 at the input parts of the signal lines select odd-numbered and even-numbered signal lines independently to easily detect the address of a refractive part.

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

⑦ 公開特許公報(A)

昭64-68724

| | | | |
|------------------------|-------|-----------|-----------------------|
| ⑧ Int.Cl. ⁴ | 識別記号 | 庁内整理番号 | ⑨ 公開 昭和64年(1989)3月14日 |
| G 02 F 1/133 | 3 2 7 | 7370-2H | |
| G 09 F 9/30 | 3 3 8 | 7335-5C | |
| H 01 L 21/82 | | 7925-5F | |
| 29/78 | 3 1 1 | A-7925-5F | 審査請求 未請求 発明の数 1 (全5頁) |

⑩ 発明の名称 アクティブマトリクスパネル

⑪ 特 願 昭62-225710

⑫ 出 願 昭62(1987)9月9日

⑬ 発 明 者 松 枝 洋 二 郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑭ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑮ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

アクティブマトリクスパネル

2. 特許請求の範囲

(1) 絶縁基板上に、複数の走査線、信号線、及びそれらの交点に配置された薄膜トランジスタ（以下TFTと略記）と給電電極とを結ぶ、液晶を駆動して成るアクティブマトリクスパネルにおいて、2M本の信号線とN本の走査線、及びM×N個の給電電極と、各給電電極の1つにドレイン電極が共通に接続された2つのTFTを結ぶ、前記2つのTFTのソース電極は調整する2本の信号線にゲート電極は共通の走査線にそれぞれ接続され、前記信号線と外部ドライバとの接続部または奇数番目と偶数番目の信号線の終端間にTFTスイッチアレイを備えていることを特徴とするアクティブマトリクスパネル。

(2) 前記2M本の信号線の入力端に2M個のTF

Tスイッチアレイを結ぶ、前記2M個のTFTのソース電極はそれぞれ2M本の信号線に接続され、ドレイン電極は2個ずつ対をなして外部ドライバに接続され、ゲート電極は奇数番目と偶数番目のものがそれぞれ共通のバスラインに接続されていることを特徴とする特許請求の範囲第1項記載のアクティブマトリクスパネル。

(3) 前記2M本の信号線の、奇数番目の終端にドレイン電極、偶数番目の終端にソース電極が接続され、ゲート電極は共通のバスラインに接続されたM個のTFTスイッチアレイを備えていることを特徴とする特許請求の範囲第2項記載のアクティブマトリクスパネル。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はアクティブマトリクスパネルの欠陥低減方式に関する。

(従来の技術)

従来のアクティブマトリクスパネルの例として

は「日経エレクトロニクス 1984年9月10日号 no. 351 p. 211-240」に示されるようなものがあった。第2図にその回路図の例を示す。21はアクティブマトリクスエリアで、信号線 X_1, X_2, X_n 、走査線 Y_1, Y_2, Y_n 、及びそれらの交点に配置されたTFT26とから成る。28は、TFT26に接続された給電電極と共通電極との間の液晶の容量である。信号線はXドライバー22で、走査線はYドライバー24で駆動する。

(発明が解決しようとする問題点)

しかし、前述の従来技術には以下に述べるような本質的な問題点がある。すなわち、アクティブマトリクスパネルは、大面積に数万〜数百万個もの像素素子及び同数のクロスポイントを持つ配線を形成するため、無欠陥のパネルを作るのが極めて難しいという点である。特に画面サイズの大形化、画面の高精細化に伴い歩留まりは一層低下する。

一般に、アクティブマトリクスパネルの欠陥は、

配線の断線、短絡に基づく線欠陥と、TFTに基づく点欠陥に分けられる。前者については配線の終端から給電することで修正は可能だが、非効率的な作業であり、修正部分の信頼性も不充分で実用的でない。後者については修正は不可能である。

本発明はこのような問題点を解決するものであり、その目的とするところは、線欠陥、点欠陥が簡単に修正でき、無欠陥化が可能なアクティブマトリクスパネルを実現するところにある。

(問題点を解決するための手段)

本発明のアクティブマトリクスパネルは、2M本の信号線とN本の走査線、及び $M \times N$ 個の給電電極と、各給電電極の1つにドレイン電極が共通に接続された2つのTFTを備え、前記2つのTFTのソース電極は隣接する2本の信号線に、ゲート電極は共通の走査線にそれぞれ接続され、前記信号線と外部ドライバーとの接続部または奇数番目と偶数番目の信号線の終端間にTFTスイッチアレイを備えていることを特徴とする。

(作用)

本発明の上記の構成によれば、信号線と給電TFTの両方に冗長性を有しているため、線欠陥及び点欠陥の修正が可能である。また、信号線の入力部のTFTスイッチにより、奇数番目と偶数番目の信号線を独立に選択でき不良部分のアドレスを簡単に検出できる。また、奇数番目と偶数番目の信号線の終端間のTFTスイッチを閉じると自動的に信号線の断線による線欠陥は無くなる。

(実施例1)

第1図は本発明の第1の実施例におけるアクティブマトリクスパネルの回路図の例である。アクティブマトリクスエリア1は、2M本の信号線 $X_1, X_2, X_3, X_4, X_{n-1}, X_n$ とN本の走査線 Y_1, Y_2, Y_3 、及び $M \times N$ 個の給電電極と、各給電電極の1つにドレイン電極が共通に接続された2つの給電TFT6、7、及び信号線の入力部及び終端に設けられたスイッチTFT9、10、11とそのオンオフを制御するバスライン L_1, L_2, L_3 とから成る。8は各給電電極と共通電極 V_{com} 間の液晶の容量である。2は信号

線を駆動するXドライバー、4は走査線を駆動するYドライバーである。2つの給電TFT6、7は、ゲート電極は共通の走査線に接続されているが、ソース電極は隣接する信号線にそれぞれ接続されている。信号線とXドライバー出力を接続するスイッチTFT9、10のうち、奇数番目の信号線のスイッチTFT9のゲート電極はバスライン L_1 に、偶数番目の信号線のスイッチTFT10のゲート電極はバスライン L_2 に接続されている。スイッチTFT11は、奇数番目と偶数番目の信号線の終端を接続しており、そのゲート電極はバスライン L_3 に接続されている。

通常、このアクティブマトリクスパネルで画像を表示する場合、 L_1, L_2, L_3 をすべてハイレベルとし、スイッチTFT9、10、11をすべてON状態にしておく。この時、 X_1 と X_2 、 X_3 と X_4 の様に隣接する2本の信号線には同一の信号が与えられる。また、これらの隣接する信号線の信号線の信号線の終端はスイッチTFT11で短絡されている。従って、それぞれの一對の

信号線で1ヶ所断線を生じても線欠陥を生じない。また、2つの検査TFT6、7のどちらか一方のTFTが断線やコンタクト不良等の不良を生じても、もう一方のTFTが正常であれば点欠陥も生じない。ただし、配線間の短絡やTFTの電極間の短絡があると線欠陥や点欠陥を生じる。逆に、配線間やTFT電極間の短絡部分のアドレスを求め、その部分をレーザートリミング等で切断すれば線欠陥と点欠陥を無くすることができる。一般に、隣接する一対の信号線上で2ヶ所以上の断線や短絡を生じたり、2つの検査TFTがともに不良となる確立は極めて低いから、本実施例によると、高い歩留まりで無欠陥のアクティブマトリクスパネルを作製することが可能である。

次に、不良部分の検出方法について説明する。し、をハイ、し、とし、をローレベルとして画像を表示した場合を甲、し、をハイ、し、とし、をローレベルとして画像を表示した場合を乙とする。甲の場合にはスイッチTFT9がON、スイッチTFT10と11がOFF状態となり、奇数番目

の信号線のみがXドライバー2で駆動され、各検査の左側のTFT6を用いた画像が表示される。同様に、乙の場合にはスイッチTFT10がON、スイッチTFT9と11がOFF状態となり、偶数番目の信号線のみがXドライバー2で駆動され、各検査の右側のTFT7を用いた画像が表示される。この甲と乙の場合の表示画像を比較することにより、前述の配線間の短絡やTFTの電極間の短絡部分のアドレスを求めることができる。たとえば信号線と定査線が短絡している場合には、その部分を中心にクロス状に線欠陥を生じる。一方、検査TFTのゲート・ドレイン間が短絡した場合には、その検査のみが非点灯となり、ソース・ドレイン間が短絡した場合には、信号線の信号を積分したデータを書くことになる。ゲート・ソース間が短絡した場合には、その検査のみが非点灯となるが、かなり低い強度で短絡した場合には線欠陥となる。

他の検査方法としては、ブロードカードを用いて電気的に検出する方法もある。

第4図はアクティブマトリクス基板の断面図の例である。30は絶縁基板、31はゲート電極、32はゲート絶縁膜である。チャネル部33、ソース部34、ドレイン部35は、ゲート電極31をマスクにして半導体膜中にイオン注入を行い形成する場合と、チャネル部のみ別の膜で形成する場合がある。36は層間絶縁膜、37は信号線、38は検査電極である。

(実施例2)

第2図は本発明の第2の実施例におけるアクティブマトリクスパネルの回路図の例である。第1の実施例と異なるのは信号線を駆動するXドライバー2、3が半分ずつ上下に配置されている点と、Yドライバー4、5が左右両側に配置され、しかもアクティブマトリクス基板上にTFTで内蔵されている点である。

Xドライバーを上下にくし歯状に配置したのは、ドライバーの実装ピッチを広く実装部分の信頼性を向上させるためであり、逆にこの方式を用いることにより高精密なパネルの実装が可能となる。

Yドライバーの動作周波数は数〜10数kHzと遅いため、TFTで構成することは十分可能である。内蔵ドライバーであれば、このように両側に設けて冗長性をもたせてもコストアップにならない。むしろ、定査線の断線があっても線欠陥を生じないため、歩留まり向上につながる。

(発明の効果)

以上述べたように、本発明のアクティブマトリクスパネルは信号線と検査TFTの双方に冗長性を有しているため、線欠陥及び点欠陥の修正が可能である。また、信号線の入力部のTFTスイッチを用いて不良部分のアドレスを簡単に検出でき、信号線の末端のTFTスイッチを閉じると信号線の端部による線欠陥はなくなる。このように、検査・修正工程にあまりコストをかけずに、歩留まりは飛躍的に向上するから、パネル1枚あたりのコストは大幅に安くなる。また、修正した検査には本来の信号を与えることができるため、キャラクタなどのデータ表示に適している。特に階調表示の緻密な再現性、均一性が求められる場合には

完成品の状態で検査をして規格から外れる故障TFTのみを切断することも可能であり、極めて高品質の画像を得ることができる。

4. 図面の簡単な説明

第1図、第8図はアクティブマトリクスパネルの回路図。

第2図は従来のアクティブマトリクスパネルの回路図。

第4図はアクティブマトリクス基板の断面図。

2、3……Xドライバー

4、5……Yドライバー

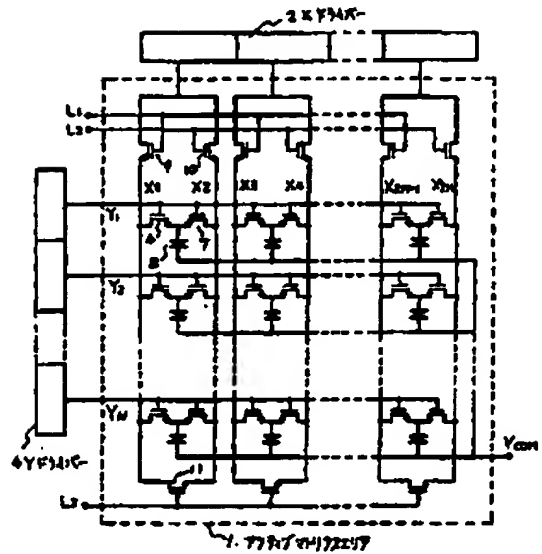
6、7……故障TFT

9、10、11……スイッチTFT

以上

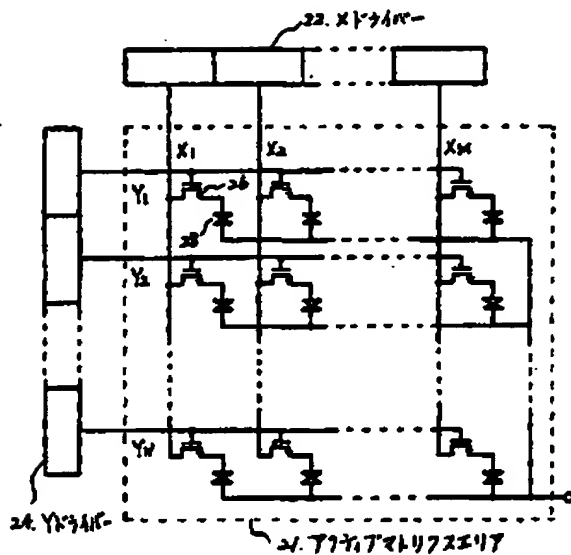
出願人 セイコーエプソン株式会社

代理人弁理士 最上 研 他1名

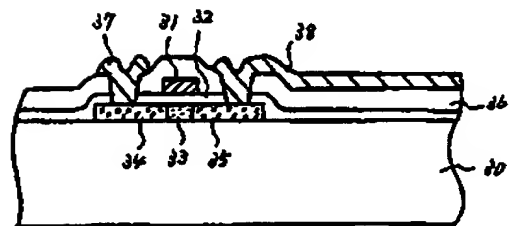


4,7 --- 故障TFT
9,10,11 --- スイッチTFT

第1図

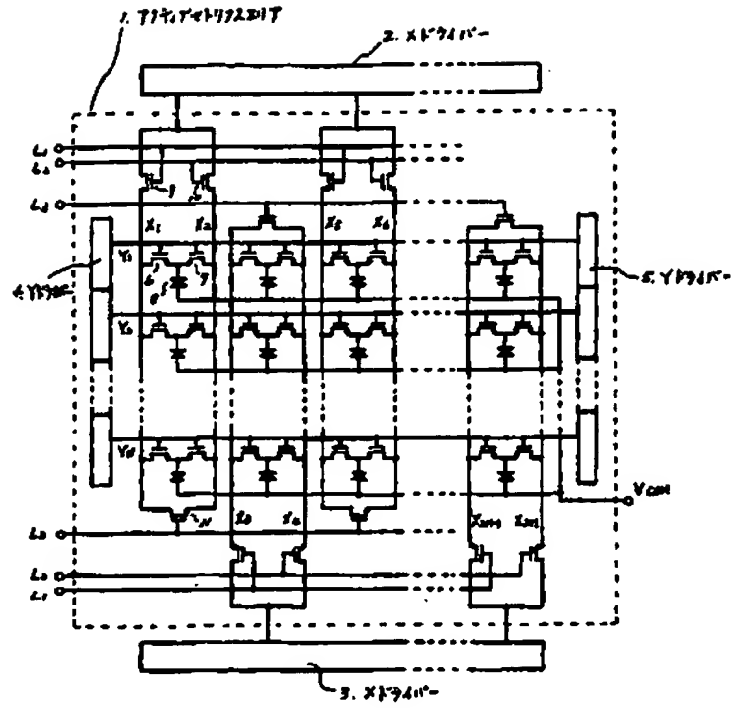


第2図



30 --- 絶縁基板
31 --- ゲート
32 --- ゲート絶縁膜
33 --- ノード
34 --- ソース
35 --- ドレイン
36 --- 層間絶縁膜
37 --- 信号線
38 --- 駆動電圧

第4図



第 3 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.